

## SOLID STATE CAPACITOR AND MICROPHONE DEVICE

**Patent number:** JP7050899  
**Publication date:** 1995-02-21  
**Inventor:** PIITAA BUI REPAATO  
**Applicant:** MONORISHITSUKU SENSOR ZU INC  
**Classification:**  
 - international: G01H11/06; H04R19/00; H04R25/00; G01H11/00;  
 H04R19/00; H04R25/00; (IPC1-7): H04R19/04  
 - european: G01H11/06; H04R19/00S  
**Application number:** JP19930058161 19930318  
**Priority number(s):** US19920853488 19920318

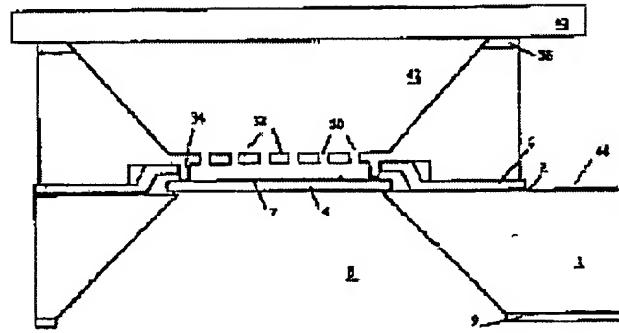
**Also published as:**

- EP0561566 (A2)
- FI931183 (A)
- EP0561566 (A3)
- EP0561566 (B1)

[Report a data error here](#)
**Abstract of JP7050899**

**PURPOSE:** To miniaturize a solid-state condenser by forming a fixed electrode and a moveable electrode by using a suitable semiconductor material and a semiconductor processing technology and, at the same time, integrating an FET circuit in one body.

**CONSTITUTION:** A diaphragm 4 is formed by processing a silicon nitride film having a thickness of, for example, 1 &mu m formed on a suitable wafer by the plasma enhanced chemical vapor deposition, etc., by etching, etc., and a moveable electrode 7 if formed by forming a thin chromium film at the central part of one surface of the diaphragm 4 by vapor deposition, etc. Then a backplate 32 is formed by processing a silicon chip doped with a large quantity of boron by etching, etc. Many holes 30 are also formed simultaneously. The diaphragm 4 and back plate 32 are fixed to each other by using a clamp 6, etc., so that an interval of 1-2 &mu m may be secured in between and no tension may be applied to the diaphragm 4. Then an FET circuit 44 is integrated on a silicon wafer 1.




---

Data supplied from the esp@cenet database - Worldwide

## SOLID STATE CAPACITOR AND MICROPHONE DEVICE

Description of corresponding document: EP0561566

### FIELD OF THE INVENTION

This invention relates to solid state condensers. More particularly, it relates to miniature solid state condenser microphones useful in applications where small dimensions are desired, such as, for sensors in hearing aids.

### BACKGROUND OF THE INVENTION

A typical condenser microphone is composed of a voltage bias element, Vbias, (commonly an electret), a diaphragm/ backplate pair forming a capacitor which varies with sound pressure, and a Field Effect Transistor (FET) circuit for buffering the output signal. Miniature microphones used in hearing aids and other applications are typically electret condenser microphones. These are built with highly precision stamped metal parts, organic diaphragm films such as mylar and polyester, and highly charged electret films to bias the microphones. These microphones have certain shortcomings. Their size has been reduced to the limits of manufacturability. Lack of uniformity in the stamping and assembly processes results in a large variability in sensitivity. Furthermore, temperature and humidity effects on the organic diaphragm film and electret result in long term drift in microphone performance.

In attempts to overcome the difficulties associated with traditional miniature microphones, various workers have tried to make solid state microphones using semi-conductor techniques. Such microphones using inorganic thin films have the potential to overcome the problems associated with conventional miniature microphones. However, attempts to build such solid state microphones have not been successful in achieving the necessary sensitivity simultaneously with good manufacturability.

Conventional microphones have rectangular diaphragm/backplate pairs typically measuring several millimeters on a side with a spacing between the diaphragm and the backplate of several tens of microns. An electret bias of several hundred volts is required to bring the microphone sensitivity to the desired range. In designing a solid state microphone, for example one from silicon, it is desirable to reduce the bias voltage to the 5 to 10 volt range in order to eliminate the environmental stability problems with the electret. This voltage can conveniently be developed directly from the power supply or with conventional charge pump circuitry. Reducing the bias value requires a commensurate increase in the ratio of the change of capacitance ( DELTA C) to the capacitance (C) to maintain an equivalent sensitivity. One method of maintaining the sensitivity of the miniature microphone is to reduce the gap between the diaphragm and the backplate to from about 1 to about 2 microns. It is also necessary to keep the mechanical compliance of the diaphragm (deflection vs. sound pressure level) to a level at least comparable to that in conventional microphones.

In a diaphragm there are two kinds of forces which resist deflection in response to pressure. The first are plate bending forces which are proportional to the thickness of the diaphragm. These can be reduced by using a very thin film diaphragm. The second class of forces which resist deflection are membrane forces which are proportional to the tension applied to the membrane or diaphragm. In the case of a thin film diaphragm, tension is not generally put in intentionally but is a result of the fabrication technique and of mismatches in thermal expansion coefficients.

Previous workers who have prepared solid state microphones have recognized the problem of residual tension in the diaphragm. Hohm and Hess, J. Acoust. Soc. Am. 85, 476-480 (1989) used a flat silicon nitride diaphragm with large residual tension. To reduce the tension, they implanted nitrogen to relax the nitride film. However, this technique is sensitive to implant dosage and energy, and to the thermal annealing cycle. It is difficult to control uniformity of the original tension across such a diaphragm and such a process may not impart long term stability to the diaphragm.

Bergqvist and Rudolf, Transducers 91, Proceedings of the International Conference on Solid-State Sensors and Actuators (IEEE, New York, 1991) pp.266-269, reduced membrane forces in a different fashion. They established a low tension diaphragm by using lightly doped single crystal silicon. While this was successful in reducing membrane tension, a parasitic capacitance was formed which canceled the advantage of the low stress diaphragm.

It is an object of the present invention to produce a solid state microphone which can be made smaller than conventional microphones and which has a tightly controlled sensitivity. It is a further objective of the present invention to produce a solid state microphone with reduced membrane forces and with very low parasitic capacitance.

These and other objects of the invention will become apparent to those skilled in the art when the following detailed description of the invention is read in conjunction with the accompanying drawings.

## SUMMARY OF THE INVENTION

In accordance with the present invention there is provided a solid state miniature condenser of high sensitivity and good manufacturability. It overcomes the tension forces associated with reduced thickness, solid state diaphragms and its design minimizes undesirable stray capacitances encountered in some prior attempts to prepare miniature solid state condensers.

Further, in accordance with the present invention there is provided a solid state condenser microphone device constructed by combining (1) a fixed perforated backplate which constitutes a fixed electrode in a parallel plate condenser, (2) a diaphragm sensitive to incident sound pressure waves which constitutes a moveable electrode in the parallel plate condenser, (3) means to retain the diaphragm in operative relationship to the backplate without applying appreciable tension to the diaphragm, and (4) a Field Effect Transistor circuit electrically connected to the backplate and diaphragm to provide an output proportional to the change in capacitance of the condenser when the diaphragm moves in relationship to the backplate.

## BRIEF DESCRIPTION OF THE DRAWINGS

Other objects and advantages of the invention will become apparent upon reading the following detailed description and upon reference to the drawings, in which:

Figs. 1a and 1b are cross section views which illustrate the preparation of a diaphragm according to one embodiment of this invention.

Fig. 2 is a plan view of the diaphragm of Fig. 1b.

Fig. 3 is a plan view of a diaphragm according another embodiment of this invention.

Fig. 4 is a cross section view of a backplate in accordance with an embodiment of this invention.

Fig. 5 is a plan view of the backplate of Fig. 4.

Fig. 6 is a cross section view of a condenser according to an embodiment of this invention.

Fig. 7 is a cross section view of a condenser in accordance with another embodiment of this invention.

While the invention will be described in connection with certain preferred embodiments, it is understood that it is not intended to limit the invention to those embodiments. On the contrary, it is intended to cover all alternatives, modifications and equivalents as may be included within the spirit and scope of the invention as defined by the appended claims.

## DETAILED DESCRIPTION OF THE INVENTION

Solid state microphones of the prior art have employed a diaphragm whose edges were all solidly attached to the condenser. Such a solid attachment applies tension to a thin membrane during its fabrication. The present invention is based on the discovery that if the diaphragm is only loosely clamped at its edges, little tension is built up in the diaphragm. As a result, the diaphragm shows greater sensitivity in its response to sound pressure.

A diaphragm with low tension can be prepared by the method illustrated in Figs. 1a and 1b. A double side polished <100> orientated silicon wafer 1 is oxidized to form 1000 ANGSTROM layers of oxide 2 and 9 on both sides of the wafer. Then 5000 ANGSTROM layers of polycrystalline silicon (poly) are deposited on both sides of the wafer by low pressure chemical vapor deposition (LPCVD). A one micron layer of silicon nitride 4 is next deposited by plasma enhanced chemical vapor deposition (PECVD) on the front side and etched to form the diaphragm. Additional 5000 ANGSTROM sacrificial layers of poly are deposited by LPCVD on top of the silicon nitride and the back side of the wafer. Both poly layers 3 and 5 on the front side of the wafer are etched just beyond the edge of nitride diaphragm 4 using a wet etch such as ethylene diamine-pyrocatechol (EDP). This etch simultaneously removes the poly layers from the back side of the wafer. A further layer of PECVD nitride of 1.5 microns thickness is deposited on the front side only and etched to form the upper clamps 6. The figures are not to scale, since the thickness of the silicon wafer 1 is very large in comparison with the other layers.

Fig. 2 shows a top view of the diaphragm with clamps 6 in place. The upper clamps are small, separate elements so that their internal stresses do not cause cracking of the clamps or the rest of the structure. These clamps can take a variety of shapes.

To complete fabrication of the diaphragm, the polycrystalline silicon layer 5 on top of the diaphragm is stripped away, and a chrome/gold metal layer 7 is deposited on the diaphragm as noted in Fig. 1b. The gold is etched off the diaphragm surface to leave only a very thin chrome layer (100-200 ANGSTROM in thickness). The gold serves to connect the diaphragm with the other circuitry on the wafer. The oxide 9 on the backside of wafer is then etched to serve as a mask for the cavity etch. Soaking the wafer in an anisotropic etchant such as EDP creates cavity 8 and etches away the sacrificial polycrystalline silicon layers 3 and 5, freeing the diaphragm. A final dip in buffered HF solution removes oxide layer 2 from under the diaphragm.

A top view of the diaphragm is shown in Fig. 2. The diaphragm has a long tail member 10 off to one side which terminates in a square pad 12 that is fixed to the silicon substrate. While the diaphragm is free floating, it is restricted in movement by the silicon substrate below, the clamps above, and the long tail 10.

The metal layer 7 on the diaphragm is restricted to the central region where the diaphragm deflection is greatest. This maximizes the sensitivity of the microphone and minimizes parasitic capacitance between the diaphragm and the rest of the structure. Because the diaphragm is insulated from the silicon substrate, parasitic capacitance is further reduced by application of a guard voltage, derived from the output of an FET circuit, to the substrate.

Turning to Fig. 3, there is shown a plan view of a diaphragm which illustrates another embodiment of this invention. The movement of this diaphragm is not restricted by means of clamps or a fixed tail as the one illustrated in Figs. 1 and 2. In this case two small regions 20 of the diaphragm are attached to the silicon oxide layer. Portions of the diaphragm adjacent to the fixed areas are etched away leaving holes 22 in the diaphragm. This procedure produces long thin arms 24 extending from the area of the diaphragm 20 which is attached to the silicon oxide layer. These arms act as springs which can easily flex and reduce tension in the diaphragm. Similar structures would be obvious to those skilled in the art. The diaphragm illustrated in Fig. 3 has the advantage of a simpler fabrication sequence over that shown in Figs. 1 and 2. However, this diaphragm is not constrained in the vertical direction as much as that shown in Figs. 1 and 2 and hence is subject to more breakage during the etching step to free it.

The design of a backplate used in the practice of this invention is best seen by reference to Fig. 4. This shows in cross section a backplate 32 prepared by etching a silicon wafer. Backplate 32 has a number of perforations 30 to minimize stiffness due to air trapped between the diaphragm and the backplate. The backplate is prepared from a silicon chip which has been heavily doped with boron. This puts the backplate under tension, enhances conductivity, and serves as an etch stop to create the needed geometry. Bergqvist, mentioned above, pointed out the need for a highly perforated backplate. However,

he incorrectly identified the need for a low stress in the backplate by using lightly doped single crystal silicon. Actually, a stiff backplate is preferred since it gives the highest possible relative motion between the diaphragm and the backplate.

The fabrication of the backplate begins with a double polished, <100> oriented silicon wafer 33 on which a nitride layer is deposited and etched to mask the shallow gap 35. The shallow gap is etched about 2 microns deep into the silicon with an isotropic etchant. The remaining nitride is removed and a new layer is deposited and etched to leave tiny islands positioned over the locations where the holes 30 are desired. A heavy boron dose is diffused into the front surface to form a p+ etch stop approximately 4 microns deep. The nitride 36 on the back of the wafer resulting from the second deposition, is etched to serve as a mask for the cavity etch. Soaking the wafer in an anisotropic etchant such as EDP forms the cavity 31, leaving the perforated backplate 32.

Fig. 5 shows a plan view of the backplate. In this figure a comparatively small number of holes 30 are illustrated. However, in carrying out the invention, it is frequently convenient to prepare a backplate with many more perforations.

In accordance with this invention, the diaphragm and backplate are bonded together using one of the common techniques such as eutectic soldering, electrostatic bonding, or silicon fusion bonding. A bonded pair is shown in cross section in Fig. 6. In order to complete the unit for use in a microphone, the combination of diaphragm and backplate is mounted on a support 40 which serves to form, with the backplate, a closed backchamber 42. The FET circuitry 44 as well as a bias source is easily integrated on one of the silicon pieces to form a complete microphone element.

In accordance with a further aspect of the invention, the diaphragm and backplate may be formed on a single silicon wafer. This arrangement is illustrated in Fig. 7. In this embodiment of the invention, backplate 32 is defined first using the boron doping process illustrated in Fig. 4 without first forming the shallow gap. After the boron doping, phosphorous is diffused into region 46 to counter dope the boron. The front surface of the wafer remains relatively planar and the p+ etch stop is now buried below the surface. The diaphragm 4 and clamps 6 are next fashioned on the silicon wafer 1 using the same general procedure illustrated in Figs. 1a and 1b. When the wafer is soaked in EDP to form cavity 42, the sacrificial layers are removed to free the diaphragm and gap 46 is created. The silicon wafer containing backplate 32 is attached to base 40 to give a closed backchamber 42. FET circuitry 44 and a voltage bias source are integrated on the silicon piece to form a complete microphone element.

In carrying out this invention, it is necessary to avoid acoustical leaks around the diaphragm between the sound source and backchamber 42. Such acoustical leaks are prevented in the device in Fig. 7 because the edges of diaphragm 4 contact silicon wafer 1 as it moves towards the backplate by electrostatic attraction created by the bias voltage. In the device illustrated in Fig. 6, an acoustical leak is prevented by means of ring 34 in the backplate member which engages diaphragm 4 as it moves toward the backplate under the same electrostatic attraction. However, these devices permit low frequency airflow from the backchamber to compensate for any static pressure differences between the backchamber and the environment.

The present invention has been described with respect to certain embodiments and conditions, which are not meant to limit the invention. Those skilled in the art will understand the variations from the embodiments and conditions described herein may be made without departing from the invention as set forth in the appended claims.

---

Data supplied from the esp@cenet database - Worldwide

## SOLID STATE CAPACITOR AND MICROPHONE DEVICE

Claims of corresponding document: EP0561566

1. A solid state condenser device comprising:

- (a) a fixed perforated backplate which constitutes a fixed electrode in a parallel plate condenser;
- (b) a diaphragm sensitive to incident sound pressure waves which constitutes a moveable electrode in said parallel plate condenser; and
- (c) means to retain said diaphragm in operative relation to said backplate without applying appreciable tension to said diaphragm.

2. The solid state condenser device of claim 1 wherein the backplate is prepared from a boron doped silicon wafer.

3. The solid state condenser device of claim 1 wherein the diaphragm is a silicon nitride diaphragm.

4. The solid state condenser device of claim 1 wherein the diaphragm is retained in relation to said backplate by clamps and a tail member fixed to the backplate.

5. The solid state condenser device of claim 1, wherein the diaphragm includes spring elements attached to the backplate thereby to retain it in operative relation to said backplate.

6. The solid state condenser device of claim 1, wherein the parallel plate condenser is prepared from a single silicon wafer.

7. A solid state condenser microphone device comprising:

- (a) a fixed perforated backplate which constitutes a fixed electrode in a parallel plate condenser;
- (b) a diaphragm sensitive to incident sound pressure waves which constitutes a moveable electrode in said parallel plate condenser;
- (c) means to retain said diaphragm in operative relation to said backplate without applying appreciable tension to said diaphragm; and
- (d) a Field Effect Transistor circuit electrically connected to said backplate and said diaphragm to provide an output proportional to the change in capacitance of said condenser when said diaphragm moves in relationship to said backplate.

8. The solid state condenser microphone device of claim 7 wherein the backplate is prepared from a boron doped silicon wafer.

9. The solid state condenser microphone device of claim 7 wherein the diaphragm is a silicon nitride diaphragm.

10. The solid state condenser microphone device of claim 7 wherein the diaphragm is retained in relation to said backplate by clamps and a tail member fixed to the backplate.

11. The solid state condenser microphone device of claim 7, wherein the diaphragm includes spring elements attached to the backplate thereby to retain it in operative relation to said backplate.

12. The solid state condenser microphone device of claim 7 which is prepared from two silicon wafers and which contain the Field Effect Transistor circuitry integrated on one of the silicon wafers.

13. The solid state condenser microphone device of claim 12 which contains means to prevent acoustical leaks around the diaphragm.

14. A solid state condenser microphone device prepared on a single silicon wafer which comprises:

- (a) a fixed perforated backplate, prepared from said silicon wafer, which constitutes a fixed electrode in a parallel plate condenser;
- (b) a diaphragm sensitive to incident sound pressure waves which constitutes a moveable electrode in said parallel plate condenser;

(c) means to retain said diaphragm in operative relation to said backplate without applying appreciable tension to said diaphragm; and  
(d) a Field Effect Transistor circuit electrically connected to said backplate and said diaphragm to provide an output proportional to the change in capacitance of said condenser when said diaphragm moves in relationship to said backplate.

15. The solid state condenser microphone device of claim 14 wherein the backplate is prepared from a boron doped silicon wafer.

16. The solid state condenser microphone device of claim 14 wherein the diaphragm is a silicon nitride diaphragm.

17. The solid state condenser microphone device of claim 14 wherein the diaphragm is retained in relation to said backplate by clamps and a tail member fixed to the backplate.

18. The solid state condenser microphone device of claim 14, wherein the diaphragm includes spring elements attached to the backplate thereby to retain it in operative relation to said backplate.

19. The solid state condenser microphone device of claim 14 wherein the Field Effect Transistor circuitry is integrated on the silicon wafer.

20. The solid state condenser microphone device of claim 14 which contains means to prevent acoustical leaks around the diaphragm.

---

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-50899

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl.<sup>6</sup>

識別記号 庁内整理番号

F I

技術表示箇所

H 04 R 19/04

審査請求 未請求 請求項の数20 OL (全7頁)

(21)出願番号 特願平5-58161

(22)出願日 平成5年(1993)3月18日

(31)優先権主張番号 853488

(32)優先日 1992年3月18日

(33)優先権主張国 米国(US)

(71)出願人 593053243

モノリシック・センサーズ・インコーポレーテッド

Monolithic Sensors  
Inc

アメリカ合衆国イリノイ州60008, ローリング・メドウズ, ウエスト・ゴルフ・ロード 2800

(72)発明者 ピーター・ブイ・レパート

アメリカ合衆国イリノイ州60008, ローリング・メドウズ, ウエスト・ゴルフ・ロード 2800

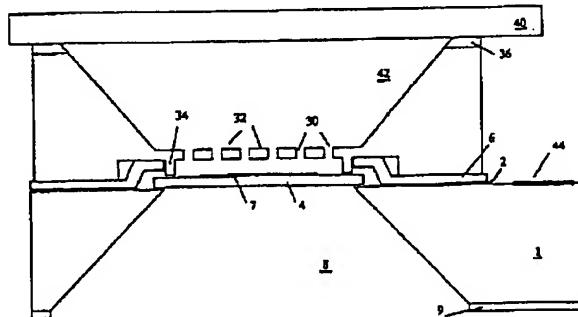
(74)代理人 弁理士 湯浅恭三(外6名)

(54)【発明の名称】ソリッドステートコンデンサ及びマイクロホン装置

(57)【要約】

【目的】従来のマイクロホンよりも小さくつくることができ、ぴったりと制御された感度を持つソリッドステートマイクロホンを提供する。

【構成】平行板コンデンサの固定電極を構成する、多数の孔を持つ固定後プレートと、平行板コンデンサの可動板を構成する、入射音圧波に敏感なダイヤフラムと、ダイヤフラムに大きな張力を加えることなく、ダイヤフラムを後プレートに関して位置決めする手段と、ダイヤフラムが後プレートに関して移動するときコンデンサのキャパシタンスの変化に比例した出力を提供するFET回路とを有する、ソリッドステート小型コンデンサ及びコンデンサマイクロホン。



## 【特許請求の範囲】

【請求項1】 (a) 平行板コンデンサの固定電極を構成する、多数の孔を持つ固定後プレートと、(b) 平行板コンデンサの可動電極を構成する、入射音圧波に敏感なダイヤフラムと、(c) 前記ダイヤフラムに大きな張力を加えることなく、前記ダイヤフラムを前記後プレートに対して作動関係に保持する手段とを有する、ソリッドステートコンデンサ装置。

【請求項2】 後プレートは、硼素をドーピングしたシリコンウェーハから製作される、請求項1に記載のソリッドステートコンデンサ装置。  
10

【請求項3】 ダイヤフラムは、窒化珪素ダイヤフラムである、請求項1に記載のソリッドステートコンデンサ装置。

【請求項4】 ダイヤフラムは、後プレートに固定されたクランプ及び尻尾部材で前記後プレートに関して保持される、請求項1に記載のソリッドステートコンデンサ装置。

【請求項5】 ダイヤフラムは、後プレートに取り付けられたばね要素を含み、これによってダイヤフラムを前記後プレートに対して作動関係で保持する、請求項1に記載のソリッドステートコンデンサ装置。  
20

【請求項6】 平行板コンデンサが单一のシリコンウェーハから製作される、請求項1に記載のソリッドステートコンデンサ装置。

【請求項7】 (a) 平行板コンデンサの固定電極を構成する、多数の孔を持つ固定後プレートと、(b) 平行板コンデンサの可動電極を構成する、入射音圧波に敏感なダイヤフラムと、(c) 前記ダイヤフラムに大きな張力を加えることなく、前記ダイヤフラムを前記後プレートに対して作動関係に保持する手段と、(d) 前記ダイヤフラムが前記後プレートに関して移動するとき前記コンデンサのキャパシタンスの変化に比例した出力を提供するため、前記後プレート及び前記ダイヤフラムに電気的に接続された電界効果トランジスタ回路とを有する、ソリッドステートコンデンサマイクロホン装置。  
30

【請求項8】 後プレートは硼素をドーピングしたシリコンウェーハから製作される、請求項7に記載のソリッドステートコンデンサマイクロホン装置。

【請求項9】 ダイヤフラムは、窒化珪素ダイヤフラムである、請求項7に記載のソリッドステートコンデンサマイクロホン装置。  
40

【請求項10】 ダイヤフラムは、後プレートに固定されたクランプ及び尻尾部材で前記後プレートに関して保持される、請求項7に記載のソリッドステートコンデンサマイクロホン装置。

【請求項11】 ダイヤフラムは、後プレートに取り付けられたばね要素を含み、これによってダイヤフラムを前記後プレートに対して作動関係で保持する、請求項7に記載のソリッドステートコンデンサマイクロホン装置  
50

置。

【請求項12】 二つのシリコンウェーハから製作され、これらのシリコンウェーハの一方に集積された電界効果トランジスタを含む、請求項7に記載のソリッドステートコンデンサマイクロホン装置。

【請求項13】 ダイヤフラムの周りの音響漏れをなくす手段を含む、請求項12に記載のソリッドステートコンデンサマイクロホン装置。

【請求項14】 (a) 平行板コンデンサの固定電極を構成する、単一のcウェーハから製作された多数の孔を持つ固定後プレートと、(b) 平行板コンデンサの可動電極を構成する、入射音圧波に敏感なダイヤフラムと、  
10

(c) 前記ダイヤフラムに大きな張力を加えることなく、前記ダイヤフラムを前記後プレートに対して作動関係に保持する手段と、(d) 前記ダイヤフラムが前記後プレートに関して移動するとき前記コンデンサのキャパシタンスの変化に比例した出力を提供するため、前記後プレート及び前記ダイヤフラムに電気的に接続された電界効果トランジスタ回路とを有する、单一のシリコンウェーハ上に製作されたソリッドステートコンデンサマイクロホン装置。

【請求項15】 後プレートは、硼素をドーピングしたシリコンウェーハから製作される、請求項14に記載のソリッドステートコンデンサマイクロホン装置。

【請求項16】 ダイヤフラムは、窒化珪素ダイヤフラムである、請求項14に記載のソリッドステートコンデンサマイクロホン装置。

【請求項17】 ダイヤフラムは、後プレートに固定されたクランプ及び尻尾部材で前記後プレートに関して保持される、請求項14に記載のソリッドステートコンデンサマイクロホン装置。  
30

【請求項18】 ダイヤフラムは、後プレートに取り付けられたばね要素を含み、これによってダイヤフラムを前記後プレートに対して作動関係で保持する、請求項14に記載のソリッドステートコンデンサマイクロホン装置。

【請求項19】 電界効果トランジスタがシリコンウェーハ上に集積されている、請求項14に記載のソリッドステートコンデンサマイクロホン装置。

【請求項20】 ダイヤフラムの周りの音響漏れをなくす手段を含む、請求項14に記載のソリッドステートコンデンサマイクロホン装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ソリッドステートコンデンサに関する。更に詳細には、小さな寸法が所望の補聴用センサのような用途で有用な小型ソリッドステートコンデンサマイクロホンに関する。

## 【0002】

【従来の技術】 代表的なコンデンサマイクロホンは、電

圧印加要素、Vバイアス（一般にはエレクトレット）、音圧に従って変化するキャパシタを形成するダイヤフラム／後プレート対、及び出力信号をバッファするための電界効果トランジスタ（FET）を有する。補聴及び他の用途で使用される小型マイクロホンは、代表的には、エレクトレットコンデンサマイクロホンである。これらは、高精度で打ち抜かれた金属部品、マイラー及びボリエスチルのような有機ダイヤフラムフィルム、及びマイクロホンを印加するため大きく帯電させたエレクトレットフィルムでつくられている。このようなマイクロホンには、特定の欠点がある。これらのマイクロホンの寸法は製造可能性の限度まで減少させてある。打ち抜き工程及び組み立て工程で一様性が欠落していると、感度が大きく変化する。等に、温度及び湿度が有機ダイヤフラムフィルム及びエレクトレットに影響して長期間に亘る性能の変化をもたらす。

【0003】従来の小型マイクロホンと関連した問題点を解決するため、多くの労働者が半導体技術を使用してソリッドステートマイクロホンを製作しようと試みた。薄い有機フィルムを使用するこのようなマイクロホンには、従来の小型マイクロホンと関連した問題点を解決する可能性がある。しかしながら、このようなソリッドステートマイクロホンをつくろうとする試みは、必要な感度を得ると同時に優れた製造性を得る上で成功しなかった。

【0004】従来のマイクロホンは、矩形のダイヤフラム／後プレート対を有し、これらの対は、代表的には、側部で計測して数mmであり、ダイヤフラムと後プレートとの間の間隔は數十 $\mu\text{m}$ である。マイクロホンの感度を所望の範囲に上げるには、数100vのエレクトレット印加電圧が必要とされる。例えば、シリコンから製造されるソリッドステートマイクロホンを設計する上で、エレクトレットの周囲安定性の問題点をなくすため、印加電圧を5v乃至10vの範囲に減少させるのが望ましい。この電圧は、便利には、電源から直接つくるてもよいし、従来の電荷圧送回路でつくってもよい。印加電圧値を減少させるには、キャパシタンスの変化( $\Delta C$ )のキャパシタンス(C)に対する比率を比例的に増大し、等価感度を維持する必要がある。小型マイクロホンの感度を維持する一つの方法は、ダイヤフラムと後プレートとの間の隙間を約1 $\mu\text{m}$ 乃至約2 $\mu\text{m}$ まで減少させることである。更に、ダイヤフラムの機械的コンプライアンス(撓み対音圧レベル)を少なくとも従来のマイクロホンの機械的コンプライアンスに匹敵するレベルに保つことも必要である。

【0005】ダイヤフラムには、圧力に応答する撓みに抗する二種類の力がある。第1の力はプレート曲げ力であり、これはダイヤフラムの厚さに比例する。この力は非常に薄いフィルムダイヤフラムを使用することによって減少させることができる。撓みに抗する第2の力は膜

力であり、この力は、膜即ちダイヤフラムに加わる張力に比例する。薄いフィルムダイヤフラムの場合には、一般に、張力が故意に加えられることはないが、製造技術及び熱膨張率の不一致により加わる。

【0006】ソリッドステートマイクロホンを製作した従来の労働者は、ダイヤフラムにおける残留張力の問題を認識していた。1989年の音響学会誌の第85巻の第476頁乃至480頁のホーン及びヘス(Hohm and Hess, J. Acoust. Soc. Am. 85, 476-480 (1989))は、大きな残留張力が加わった平らな窒化珪素ダイヤフラムを使用した。張力を減少させるため、彼らは窒素を打ち込んで窒化物フィルムを弛緩させた。しかしながら、この技術は、打ち込み量及びエネルギー、及び熱アニーリングサイクルに敏感である。このようなダイヤフラムに亘る元来の張力の均等性を制御するのは困難であり、このような方法はダイヤフラムに長期間に亘る安定性を与えない。

【0007】ソリッドステートセンサ及びアクチュエータについての国際連盟の会報(アメリカ電気・電子通信学会、ニューヨーク、1991年)の第266頁乃至269頁のバーグクヴィスト及びルドルフのトランスジーサ91では、別の方で膜力が減少された。彼らは軽度にドーピングを施した単結晶シリコンを使用することによって低張力ダイヤフラムをつくった。これは膜張力を減少するには成功したが、寄生キャパシタンスが形成され、これが低応力ダイヤフラムの利点を打ち消してしまった。

#### 【0008】

【発明が解決しようとする課題】本発明の目的は、従来のマイクロホンよりも小さくつくることができ、ぴったりと制御された感度を持つソリッドステートマイクロホンをつくりだすことである。本発明の別の目的は、膜力が減じられ、寄生キャパシタンスが非常に低いソリッドステートマイクロホンをつくりだすことである。

【0009】本発明のこれらの目的及び他の目的は、以下の詳細な説明を添付図面と関連して読むことにより、当業者に明らかに明らかになるであろう。

#### 【0010】

【課題を解決するための手段】本発明によれば、高感度で製造性に優れた小型ソリッドステートコンデンサが提供される。これは、減少させた厚さと関連した張力の問題点を解決し、ソリッドステートダイヤフラム及びその設計が、小型ソリッドステートコンデンサを製作しようとする従来の試みで遭遇した望ましからぬ変動キャパシタンスを小さくする。

【0011】更に、本発明によれば、(1)平行板コンデンサの固定電極を構成する、多数の孔を持つ固定後プレートと、平行板コンデンサの可動電極を構成する、入射音圧波に敏感なダイヤフラムと、(3)ダイヤフラムに大きな張力を加えることなく、このダイヤフラムを後

プレートに対して作動関係に保持する手段と、(4)ダイヤフラムが後プレートに関して移動するときコンデンサのキャパシタンスの変化に比例した出力を提供するため、後プレート及びダイヤフラムに電気的に接続された電界効果トランジスタ回路とを組み合わせることによってつくられたソリッドステートコンデンサマイクロホン装置が提供される。

【0012】本発明の他の目的及び利点は、以下の詳細な説明を読み、添付図面を参照すれば明らかになるであろう。

### 【0013】

【実施例】従来技術のソリッドステートマイクロホンは、全ての縁部がコンデンサに固定的に取り付けられたダイヤフラムを使用していた。このように固定的に取り付けると、その製造中に薄膜に張力が加わる。本発明は、ダイヤフラムをその縁部で緩くクランプした場合には、ダイヤフラムには僅かな張力しか生じないという発見に基づいている。その結果、ダイヤフラムは音圧に対するその応答において大きな感度を示す。

【0014】張力の小さいダイヤフラムは、図1及び図2に示す方法によって製作される。両側艶出<100>配向シリコンウェーハ1を酸化させて1000の酸化物層2及び9をウェーハの両側に形成する。次いで、多結晶質シリコン(ポリ)を低圧化学蒸着法(LPCVD)でウェーハの両側に蒸着する。次に、窒化珪素の1μmの層をプラズマ化学蒸着法(PECVD)で前側に蒸着し、これを蝕刻してダイヤフラムを形成する。ポリの追加の5000の犠牲層をLPCVDで窒化珪素上及びウェーハの後側に蒸着する。ウェーハの前側の両ポリ層3及び5を、エチレンジアミンピロカテコール(EDP)のような湿式蝕刻剤を使用して、窒化物ダイヤフラム4の縁部の僅かに外側で蝕刻する。この蝕刻により、ウェーハの後側からポリ層が同時に除去される。1.5μm厚のPECVD窒化物の別の層を前側のみに蒸着し、これを蝕刻して上クランプ6を形成する。添付図面は、シリコンウェーハ1の厚さが他の層と比べて非常に大きいため、正しい縮尺で示していない。

【0015】図3は、クランプ6を所定の場所に備えたダイヤフラムの平面図である。上クランプは、これらのクランプの内部応力によりクランプ又は構造の残りに亀裂が生じないように、小さい別体の要素である。これらのクランプは種々の形状を持つことができる。

【0016】ダイヤフラムの製作を完了するため、ダイヤフラムの上側の多結晶質シリコン層5をはぎ取り、図2に示すようにクロム/金金属層7をダイヤフラムに蒸着する。金をダイヤフラム表面から蝕刻により除去し、非常に薄い(100乃至200の厚さを持つ)クロム層だけを残す。金は、ダイヤフラムをウェーハ上の他の回路に連結するのに役立つ。次いで、ウェーハの後側に形成された酸化物9を蝕刻し、キャビティ蝕刻用のマ

10

20

30

40

50

スクとして使用する。ウェーハをEDPのような異方性蝕刻剤に浸漬することによってキャビティ8をつくりだし、多結晶質シリコン犠牲層3及び5を蝕刻して除去し、ダイヤフラムを自由にする。最後に緩衝済みの弗化水素溶液に浸漬し、ダイヤフラムの下の酸化物層2を除去する。

【0017】ダイヤフラムの平面図を図3に示す。このダイヤフラムは、長い尻尾状部材10を有し、この部材はシリコン基材に固定された四角形パッド12で終端する。ダイヤフラムは自由に浮動するけれども、下のシリコン基材、上のクランプ、及び長い尻尾10で移動が制限されている。

【0018】ダイヤフラム上の金属層7は、ダイヤフラムの撓みが最大の中央領域に限定されている。これは、マイクロホンの感度を最大にし、ダイヤフラムと構造の残りとの間の寄生キャパシタンスを最小にする。ダイヤフラムがシリコン基材から絶縁されているため、寄生キャパシタンスは、FET回路の出力から得られたガード電圧を基材に加えることによって更に減少される。

【0019】図4を参照すると、この図には、本発明の別の実施例を例示するダイヤフラムの平面図が示してある。このダイヤフラムの移動は、図1、図2、及び図3に示す実施例のように、クランプや固定された尻尾によって制限されているのではない。この場合、ダイヤフラムの二つの小さな領域20が酸化シリコン層に取り付けられている。ダイヤフラムの固定された領域に隣接した部分は蝕刻されて除去され、ダイヤフラムに孔22を残す。この手順は、酸化シリコン層に取り付けられたダイヤフラムの領域20から延びる長く薄いアーム24を形成する。これらのアームはばねとして作用し、容易に撓むことができ且つダイヤフラムの張力を減少させる。同様の構造は当業者には明らかであろう。図4に示すダイヤフラムは図1、図2、及び図3に示すダイヤフラムと比べて製作手順が簡単であるという利点がある。しかしながら、このダイヤフラムは、図1、図2、及び図3に示すダイヤフラム程には、垂直方向に拘束されておらず、従って、ダイヤフラムを自由にする蝕刻工程中に壊れ易い。

【0020】本発明を実施するのに使用される後プレートの設計は図5を参照すれば最もよくわかる。これは、シリコンウェーハを蝕刻することによって製作された後プレート32を断面で示す。後プレート32は多数の孔30を有し、これによって、ダイヤフラムと後プレートとの間に空気が捕捉されることによる剛性を小さくする。後プレートは、大量の硼素がドーピングされたシリコンチップから製作される。硼素は後プレートを張力が加わった状態にし、導電性を高め、所要の形状をつくりだすため蝕刻停止体として役立つ。上述のバーグクヴィストは、非常に多数の孔が穿たれた後プレートが必要であると指摘した。しかしながら、彼は、軽度にドーピン

グを施した単結晶シリコンを使用することによって後プレートに小さな応力を生ぜしめる必要性に間違った評価を下した。実際には、剛性の後プレートが好ましい。これは、ダイヤフラムと後プレートとの間の相対運動を可能な限り最大にするためである。

【0021】後プレートの製作は、両面艶出しを施した<100>配向シリコンウェーハ33で開始される。このウェーハ上には窒化物層が蒸着させてある。窒化物層は、浅い隙間35をマスクするように蝕刻されている。浅い隙間35は、異方性蝕刻剤でシリコン内に約 $2\mu m$ の深さに蝕刻されている。残りの窒化物を除去し、新たな層を蒸着し、孔30を形成するのが望ましい場所の上に位置決めされた小さなアイランドを残すようにこれを蝕刻する。大量の硼素添加物を前面に拡散させて約 $4\mu m$ の深さにp+蝕刻停止体を形成する。第2蒸着によるウェーハの後側の窒化物36を蝕刻し、キャビティ蝕刻用のマスクとして使用する。ウェーハをEDPのような異方性蝕刻剤に浸漬することによってキャビティ31を形成し、多孔後プレート32を形成する。

【0022】図6は、後プレートの平面図である。この図には、比較的少数の孔30が図示してある。しかしながら、本発明を実施する際、大抵は、更に多くの孔を備えた後プレートを製作するのが便利である。

【0023】本発明によれば、ダイヤフラム及び後プレートは、共晶ソルダリング、静電結合、又は、シリコン融着のような一般的な技術の一つを使用して互いに結合される。結合した対を図7に断面で示す。マイクロホンで使用するためのユニットを完成するため、ダイヤフラムと後プレートの組み合わせを支持体40に取り付けける。この支持体40は、後プレートと共に閉鎖した後室42を形成するのに役立つ。FET回路44並びに印加電源をシリコン片の一方上に容易に集積し、完成したマイクロホン要素を形成する。

【0024】本発明の別の特徴によれば、ダイヤフラム及び後プレートを单一のシリコンウェーハ上に形成することができる。この構成を図8に示す。本発明のこの実施例では、後プレート32は、先ず最初に、浅い隙間を形成するのでなく、図5に示す硼素ドーピング工程を使用して構成される。硼素ドーピング後、領域46内に燐を拡散して硼素の逆ドーピングを行う。ウェーハの前面は比較的平らなままであり、この場合、p+蝕刻停止体は、表面の下に隠されている。次に、図1及び図2に示されているのとほぼ同じ手順を使用してダイヤフラム4及びクランプ6をシリコンウェーハ1上に形成する。ウェーハをEDPに浸漬してキャビティ42をつくるとき、犠牲層が除去されてダイヤフラムが自由になり、隙間46が形成される。後プレート32を含むシリコンウェーハをベース40に取り付けて閉鎖された後室42を形成する。FET回路44及び印加電源をシリコン片上に集積して完成したマイクロホン要素を形成する。

【0025】本発明を実施する上で、音源と後室42との間のダイヤフラムの周りで音響漏出をなくす必要がある。このような音響漏出は、図8の装置で回避される。これは、印加電圧によってつくりだされるクーロン引力によってダイヤフラム4が後プレートに向かって移動するとき、ダイヤフラム4の縁部がシリコンウェーハ1と接触するためである。図7に示す装置では、ダイヤフラム4が同じクーロン引力の作用で後プレートに向かって移動するとき、ダイヤフラム4と係合する後プレート部材のリング34によって音響漏出が阻止される。しかしながら、これらの装置は、後室と周囲との間の静差圧を補償するため、後室から低周波数の空気流が流れることができるようにする。

#### 【図面の簡単な説明】

【図1】本発明の一実施例によるダイヤフラムの製作を示す断面図である。

【図2】本発明の一実施例によるダイヤフラムの製作を示す断面図である。

【図3】図2のダイヤフラムの平面図である。

【図4】本発明の他の実施例によるダイヤフラムの平面図である。

【図5】本発明の実施例による後プレートの断面図である。

【図6】図5の後プレートの平面図である。

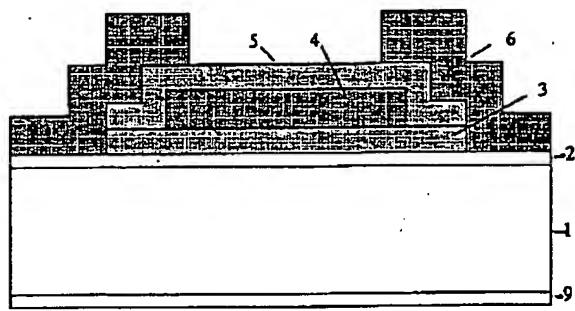
【図7】本発明の実施例によるコンデンサの断面図である。

【図8】本発明の他の実施例によるコンデンサの断面図である。

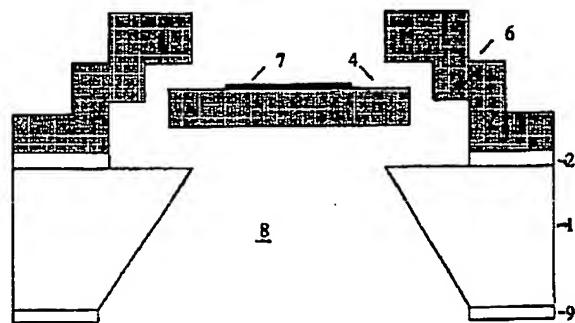
#### 【符号の説明】

30	1 シリコンウェーハ
	2 酸化物層
	3 多結晶質シリコン層
	4 ダイヤフラム
	5 多結晶質シリコン層
	6 クランプ
	7 クロム／金金属層
	8 キャビティ
	9 酸化物層
40	10 尻尾状部材
	12 パッド
	20 固定領域
	22 孔
	24 アーム
	30 孔
	32 後プレート
	33 シリコンウェーハ
	35 隙間
	40 支持体
	42 項室
50	44 FET回路

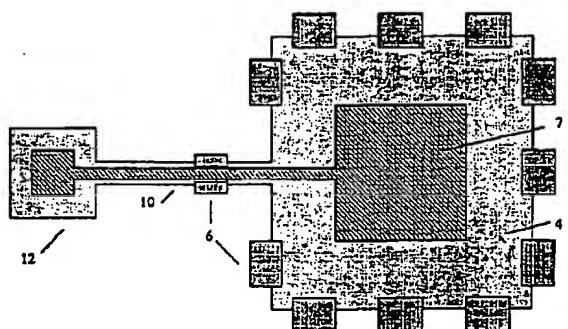
【図1】



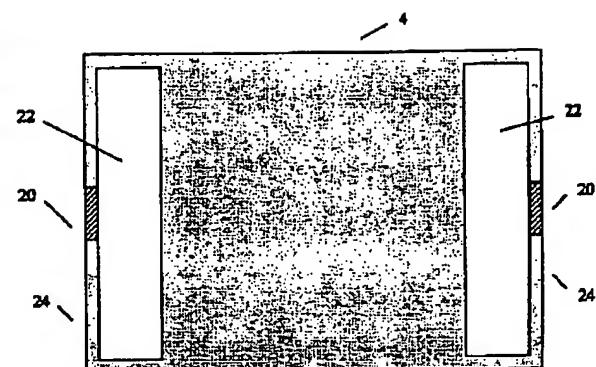
【図2】



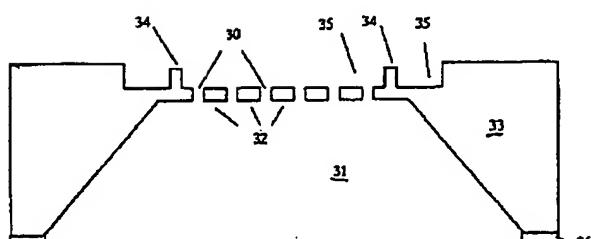
【図3】



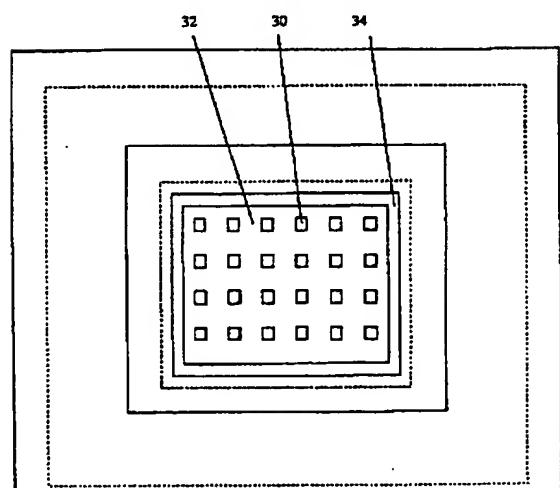
【図4】



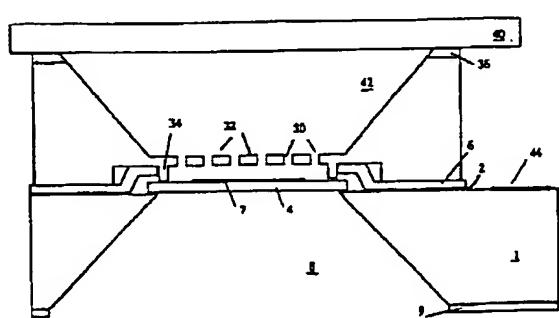
【図5】



【図6】



【図7】



【図8】

